

PAT-NO: JP410092169A

DOCUMENT-IDENTIFIER: JP 10092169 A

TITLE: MEMORY MODULE

PUBN-DATE: April 10, 1998

INVENTOR-INFORMATION:

NAME

BRIAN, J CONNOLLY

MARK, W KELLOGG

BRUCE, G HEEZERUZETSUTO

INT-CL (IPC): G11C005/00

ABSTRACT:

PROBLEM TO BE SOLVED: To minimize a data line load by providing a bus switch between a system and a RAM and then comprising a logic circuit to produce a signal for enabling this switch into an ASIC.

SOLUTION: DRAM chips 301 to 304 and DRAM chips 311 to 314 are connected to a bus switch 309, while DRAM chips 305 to 308 and DRAM chips 315 to 318 are connected to a bus switch 319. A couple of bus switches are connected to ASIC 310 which is connected to a RAS pin and a CAS pin. A data bus load can be minimized by forming a bank DIMM 30 or DIMM 40 by utilizing bus switches 309, 319 or bus switches 409, 419.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-92169

(43)公開日 平成10年(1998)4月10日

(51)Int.Cl.⁶

G 11 C 5/00

識別記号

303

F I

G 11 C 5/00

303 A

審査請求 未請求 請求項の数4 OL (全7頁)

(21)出願番号

特願平9-181302

(22)出願日

平成9年(1997)7月7日

(31)優先権主張番号 08/676609

(32)優先日 1996年7月8日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 ブライアン・ジェイ・コノリー
アメリカ合衆国05495 バーモント州ウィリストンヒルクレスト・レーン 3

(74)代理人 弁理士 坂口 博 (外1名)

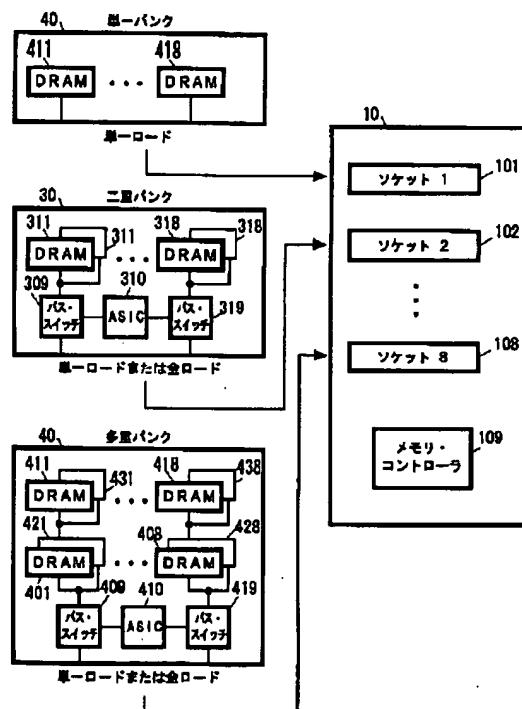
最終頁に続く

(54)【発明の名称】 メモリ・モジュール

(57)【要約】

【課題】複数のDRAMを有する高密度モジュール上のデータ線負荷を最小にし、データ線容量性負荷に起因する性能低下なしに、システムの最大のメモリ密度を可能にすること。

【解決手段】システム・ボード10上のコネクタ101～108と相互接続されるタブを有するプリント回路カード20～40と、プリント回路カードに取り付けられた複数のバンクのランダム・アクセス・メモリ・デバイス301～318、401～438と、選択されたランダム・アクセス・メモリ・デバイスと接続された、イネーブル信号に応答する1つまたは複数のバス・スイッチ309、319、409、419と、システムの行アドレス・ストローブ信号および列アドレス・ストローブ信号に応答して、1つまたは複数のバス・スイッチのイネーブル信号を生成する、論理手段とを含む。



1

【特許請求の範囲】

【請求項1】システム・ボード上のコネクタと相互接続される接点タブを有し、カード・データ・バスを有するプリント回路カードと、

前記プリント回路カードに取り付けられ、前記カード・データ・バスに接続された、複数バンクのランダム・アクセス・メモリ・デバイスと、

前記複数バンクのランダム・アクセス・メモリ・デバイスのうちの選択されたものが前記カード・データ・バスを介して接続された、イネーブル信号に応答する、1つまたは複数のバス・スイッチと、

システムの行アドレス・ストローブ信号および列アドレス・ストローブ信号に応答して、前記1つまたは複数のスイッチの前記イネーブル信号を生成する、論理手段とを含む、メモリ・モジュール。

【請求項2】前記1つまたは複数のバス・スイッチおよび前記論理手段が、前記プリント回路カードに取り付けられることを特徴とする、請求項1に記載の高密度メモリ・モジュール。

【請求項3】第2のプリント回路カードを含み、前記第1および第2のプリント回路カードが異なる数のメモリ・バンクを有することを特徴とする、請求項1に記載の高密度メモリ・モジュール。

【請求項4】前記1つまたは複数のバス・スイッチのそれぞれが、前記カード・データ・バスの信号線1本につき1つの複数の電界効果トランジスタ(FET)と、前記イネーブル信号に応答して前記FETをバイアスするための手段とを含むことを特徴とする、請求項1に記載の高密度メモリ・モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、全般的にはコンピュータ用の高密度メモリ・モジュールに関し、具体的には、最小限のメモリ・バス負荷を有する多重バンク・メモリ・モジュールに関する。

【0002】

【従来の技術】S I MM(シングル・インライン・メモリ・モジュール)やD I MM(デュアル・インライン・メモリ・モジュール)などの高密度メモリ・モジュールは、多くの応用分野で追加のシステム性能を達成できるので、ハイ・エンド・パーソナル・コンピュータ(PC)、ネットワーク・サーバおよびワークステーションで需要がある。しかし、最大システム密度は、下記の1つまたは複数によって不自然に制限されることがしばしばである。

- ・システムが有するメモリ・モジュール「スロット」の数が限られている。
- ・システムが有するメモリ「バンク」の数が(メモリ・コントローラからの選択信号線の不足が原因で)限られている。

10

・高密度メモリ・チップ(たとえば64メガビット(Mb)、256Mbおよびそれ以上)は、非常に高価であるか、簡単に入手できないか、その両方である。
 ・高密度メモリ・チップは、システムのメモリ・インターフェース電圧より低い動作電圧を有する場合がある。
 ・標準ランダム・アクセス・メモリ・デバイス(RAM)(ダイナミックRAM(DRAM)、シンクロナスDRAM(SDRAM)およびスタティックRAM(SRAM)を含む)の積層化/立体化または大型モジュールの使用は、システム限界をはるかに超えるデータ線容量をもたらす。以前の解決は、最後の問題以外の上記の問題のすべてについて提供されてきたが、これらの解決は、データ線負荷の問題が原因で応用性が制限されている。メモリ拡張を制限されているシステムで安価なRAMチップをよりよく利用するために必要なものは、データ線の容量性負荷を最小にし、その結果、RAMチップのバンクを有する大型メモリ・モジュールをシステムに追加できるようにする方法である。

【0003】

20

【発明が解決しようとする課題】したがって、本発明の目的は、データ線ごとに複数のランダム・アクセス・メモリ・デバイスを有する高密度モジュールでのデータ線負荷を最小にするための解決を提供することである。

【0004】本発明のもう1つの目的は、データ線の容量性負荷に起因する性能低下なしに、密度を制限されているシステムのメモリ密度を最大にすることである。

【0005】

30

【課題を解決するための手段】本発明によれば、データ線容量を許容可能なシステム限界まで減らす解決法には、2つの部分がある。第1の部分には、インライン・バス・スイッチを有するメモリ・モジュールの設計が含まれる。バス・スイッチは、モジュール・タブ(システム)とランダム・アクセス・メモリ・デバイス(RAM)の間に置かれ、高インピーダンス(オフ)またはアクティブ(活動)状態のいずれかになる。高インピーダンス状態の時には、メモリ・モジュールの実効負荷は、ビット・スイッチ・デバイスの負荷になる。アクティブ(たとえば、リード/ライト・サイクル)の時には、RAM負荷の他に、最小限のキャッシュタンス/抵抗がメモリ・バスに追加される。一時に1つのメモリ・モジュールだけがアクティブになる。

40

【0006】本発明による解決の第2の部分は、バス・スイッチをイネーブルする信号を生成する論理回路を特定用途向け集積回路(ASIC)に組み込むことである。バス・スイッチは、メモリ・モジュールへの行アドレス・ストローブ(RAS)選択線の立ち下がりエッジでアクティブになり、RAS選択線または列アドレス・ストローブ(CAS)選択線のうちの最後の線がインアクティブ(非活動)状態になるまで活動状態にとどまり、これによって、高速ページ・モード(FPM)動作

50

3

と EDO (拡張データ出力) 動作の両方がサポートされる。ASIC の回路は、システムの RAS 選択線と CAS 選択線をデコードし、信号を駆動してバス・スイッチをイネーブルすることによって、この作業を実行する。論理回路は、リード/ライト・サイクル、ROR (RAS only refresh) サイクル、CBR (CAS before RAS refresh) サイクルおよびヒドン・リフレッシュ (hidden refresh) サイクルを区別し、それ相応にバス・スイッチをアクティブにしなければならない。CBR サイクルが発生する時には、バス・スイッチはインアクティブのままになる。ヒドン・リフレッシュ・サイクルでは、バス・スイッチはアクティブにされ、リフレッシュ・サイクルが完了するまでアクティブのままになる。これは、リード動作またはライト動作が存在する可能性があるので必要である。

【0007】

【発明の実施の形態】本発明を、DIMMを使用する特定の実施例に関して説明するが、当業者であれば、SIMMなどの他のメモリ・モジュールを本発明の実施に使用できることを諒解するであろう。このようなモジュールは、通常は、コンピュータ・システム基板上のコネクタに挿入するための接点タブを有するプリント回路カードとして実施される。

【0008】ここで図面、具体的には図1を参照すると、8つのメモリ・モジュール・ソケット101～108とメモリ・コントローラ109を有する通常のシステム・ボード10が示されている。たとえば8つの4MbのDRAMチップ201～208を有する通常の単一バンクDIMM 20は、通常はメモリ・コントローラ109に最も近いメモリ・モジュール・ソケット101から始めて、メモリ・モジュール・ソケット101～108のすべてに単一バンクDIMM 20が挿入されるまで順番に、メモリ・モジュール・ソケット101～108のうちの1つに挿入することができる。したがって、この例では、システム・ボードは、4メガバイト(MB)の最小構成と32MBの最大構成を有する。

【0009】本発明によれば、二重バンクDIMM 30または多重バンクDIMM 40によって、単一バンク

* DIMM 20を置換することができる。二重バンクDIMM 30の場合、バス・スイッチ309および319に接続された、8つのDRAMチップ301～308の第1のグループと、8つのDRAMチップ311～318の第2のグループがある。DRAMチップ301～304およびDRAMチップ311～314はバス・スイッチ309に接続され、DRAMチップ305～308およびDRAMチップ315～318はバス・スイッチ319に接続される。2つのバス・スイッチは、ASIC 310に接続され、ASIC 310は、このモジュールのRASピンおよびCASピンに接続される。この概念は、多重バンクDIMM 40の場合に拡張され、この例では、DRAMチップの4つのグループすなわち、DRAMチップ401～408、DRAMチップ411～418、DRAMチップ421～428およびDRAMチップ431～438がある。DRAMチップ401～404、DRAMチップ411～414、DRAMチップ421～424およびDRAMチップ431～434は、バス・スイッチ409に接続され、DRAMチップ405～408、DRAMチップ415～418、DRAMチップ425～428およびDRAMチップ435～438は、バス・スイッチ419に接続される。二重バンクDIMM 30の場合と同様に、バス・スイッチ409および419は、ASIC 410に接続され、ASIC 410は、このモジュールのRASピンおよびCASピンに接続される。

【0010】二重バンクDIMM 30を使用する場合、システムの最小構成は8MBに増加し、最大構成は64MBに増加する。多重バンクDIMM 40を使用すると、図示の4バンクのDRAMチップの例では、最小構成は16MB、最大構成は128MBに増加する。より高密度のデバイス(たとえば16Mb、64Mbなど)を使用すると、最大メモリ密度のかなりの増加がもたらされるはずである。これは、下の表からわかるように、最小限のデータ・バス負荷で達成される。

【0011】

【表1】

データ・バス負荷の比較* (最大値)			
	1バンク	2バンク	4バンク
従来技術	8	16	32
本発明	8	9	11

* DIMM当たりのDRAM等価負荷の数として表す(通常は7pF/DRAM)

【0012】これは、二重バンクDIMM 30の場合にはバス・スイッチ309および319、多重バンクDIMM 40の場合にはバス・スイッチ409および419を使用することによって達成される。ASIC 3

10および410は、バス・スイッチとシステム・ボードの間のインターフェースを提供する。

【0013】ここで図2にみると、バス・スイッチの一般化された論理図が示されている。バス・スイッチには、信号線ごとに1つずつ、複数のFETが含まれる。1つまたは複数のインバータ50が、FETをオンにバイアスするのに使用される。インバータ50への入力BEN (NはBEの反転を表す)は、バス・スイッチのイネーブル入力である。イネーブル入力がロウになると、インバータの出力はハイになり、その結果、正バイアスがFETのゲートに印加され、FETが導通する。このバス・スイッチを介する遅延は、1ナノ秒 (ns) 未満であり、これによって、正しいメモリ動作が保証される。

【0014】図3のブロック図からわかるように、ASIC 60 (図1のASIC 310および410に対応する)は、システムのRAS信号 (SYS_RAS) とCAS信号 (SYS_CAS) を受け取り、バス・スイッチ61および62のイネーブル入力へのRC_SELECT信号を生成する。バス・スイッチ61および62は、カード・データ・バス63とプリント回路カードの接点タブ64との間のインターフェースを提供する。接点タブ64はシステム・ボードのソケット1~8に挿入されるモジュール20、30、40のプリント回路カードのエッジに設けられている。

【0015】RC_SELECT信号は、アクティブ・ロウの信号であり、独自の機能を有する。通常のメモリ・リード・サイクルおよびメモリ・ライト・サイクルの間、RC_SELECT信号は、図4に示されるように、システムのRAS選択線のアクティブ (立ち下がり) エッジでアクティブにされ、システムのRAS選択線とCAS選択線の両方がインアクティブになるまでアクティブのままになる。

【0016】ヒドン・リフレッシュ・サイクル中は、図5からわかるように、ヒドン・リフレッシュ・サイクルの性質が原因で、RC_SELECT信号はアクティブになる。ヒドン・リフレッシュ・サイクルの第1の部分は、RASが立ち上がってから立ち下がる (CBRリフレッシュ・サイクルの開始) までシステムのCAS選択線がアクティブのままになるメモリ・サイクルである。

RC_SELECT論理回路は、CAS外乱をフィルタリングし、インアクティブのままになる。

【0017】CBRリフレッシュ中は、図6からわかるように、システムのCAS選択線が、システムのRAS選択線がアクティブになるよりも前にアクティブになる。RC_SELECT信号は、CBRサイクル中はインアクティブのままになる。

【0018】RORサイクル中は、図7からわかるように、システムのRAS選択線がアクティブになり、RC_SELECT信号上に駆動される。バス・スイッチが

アクティブになっても、データがその時点で駆動されていないので、システム動作には影響しない。

【0019】所与の応用分野で必要であれば、追加回路を追加して、RORサイクル中にバス・スイッチがアクティブにならないようにすることができる。

【0020】図8のASICの内部ロジックには、システムのCAS選択線CAS_N (Nは反転を表す) のアクティブ (すなわち立ち下がり) エッジでシステムRAS選択線 (ANY_RAS) の状態をラッチするD型のフリップフロップ70が含まれる。ANY_RAS信号は、ANDゲート71によって生成され、バッファ72を介してフリップフロップ70のD入力に供給されるが、ANY_CAS信号は、ANDゲート73によって生成され、インバータ74を介してフリップフロップ70のクロック入力に供給される。フリップフロップ70の出力は、インバータ76を介して2入力NANDゲート75に接続され、マルチプレクサ77の入力「0」にも接続される。インバータ76の出力は、信号CBR_BIT_Nである。信号ANY_RASは、インバータ78によって反転され、インバータ78の出力は、2入力NANDゲート75のもう一方の入力に接続される。2入力NANDゲート75の出力は、信号RC_ACT IVEであり、マルチプレクサ77の入力「1」に接続される。フリップフロップ70は、システムのRAS選択線とCAS選択線がインアクティブであり、フリップフロップ70の「Q」出力が論理「1」である時に、NANDゲート79の出力によってリセットされる。マルチプレクサ77の選択線は、4つのゲート (インバータ80と3つのバッファ81~83) によって遅延されたシステムのCAS選択線DELY_CASによって選択される。これは、フリップフロップ70が信号ANY_RASの状態をラッチする時間を与えるために行われる。

【0021】各サイクルの初期の開始時に、マルチプレクサ77は、「1」入力位置にセットされる。これによって、システムのRAS選択線をすばやく流すことができるようになる。システムのCAS選択線がアクティブになった時には、マルチプレクサ77は、「0」入力位置に切り替わり、これによって、フリップフロップ70の出力が選択される。

【0022】図1に戻って、本発明の実装は、DRAMチップのバンク群を1つのプリント回路カードに取り付け、ASICとバス・スイッチを別のキャリアに取り付けることによって、変更することができる。たとえば、ASICとバス・スイッチは、システム・ボード10に直接に取り付けることができるが、これにはシステム・ボードの変更が必要である。代替案は、DRAMカードを受けるコネクタを備えた別のプリント回路カードにASICとバス・スイッチを取り付けることである。どちらの代替案でも、DRAMチップだけでDRAMカード

を製造することができる。

【図面の簡単な説明】

【図1】システム・メモリ・ボードと、従来の單一バンクDIMMと本発明による多重バンクDIMMの両方を示すブロック図である。

【図2】図1に示された本発明の実施例に使用されるバス・スイッチを一般化した論理ブロック図である。

【図3】図1の実施例でのASICとバス・スイッチの関係を示すブロック図である。

【図4】通常のリード/ライト・サイクルの場合の、RC_SELECT出力信号を生成するASIC論理回路の動作を示すタイミング図である。

【図5】ヒドン・リフレッシュの場合の、RC_SELECT出力信号を生成するASIC論理回路の動作を示すタイミング図である。

【図6】CBRの場合の、RC_SELECT出力信号を生成するASIC論理回路の動作を示すタイミング図である。

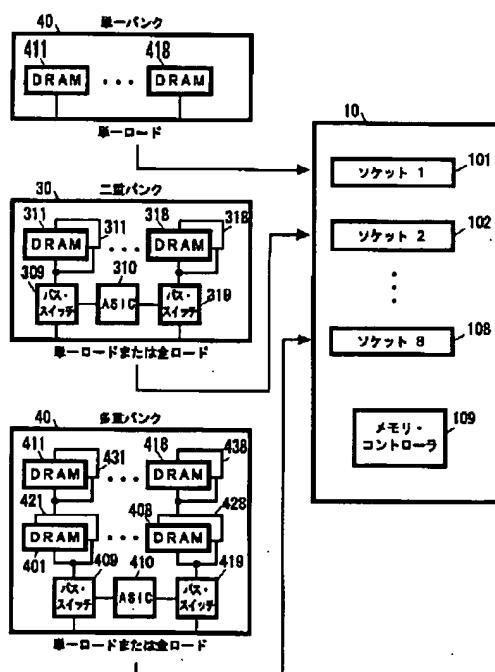
【図7】RORの場合の、RC_SELECT出力信号を生成するASIC論理回路の動作を示すタイミング図である。

【図8】本発明の好ましい実施例によるASICの論理回路を示す論理ブロック図である。

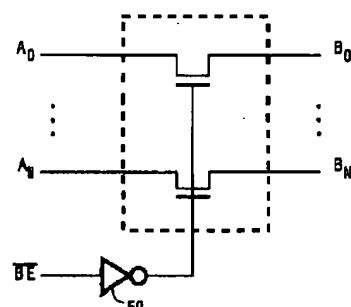
【符号の説明】

60	ASIC
61	バス・スイッチ
62	バス・スイッチ
63	カード・データ・バス
64	タブ
72	バッファ
73	ANDゲート
74	インバータ
75	2入力NANDゲート
76	インバータ
77	マルチプレクサ
78	インバータ
79	NANDゲート
80	インバータ
81	バッファ
82	バッファ
83	バッファ

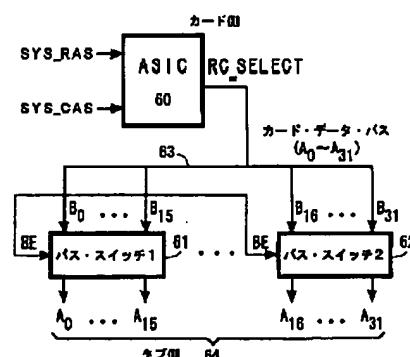
【図1】



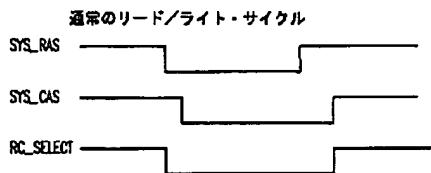
【図2】



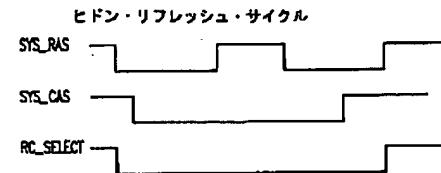
【図3】



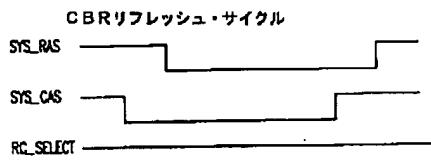
【図4】



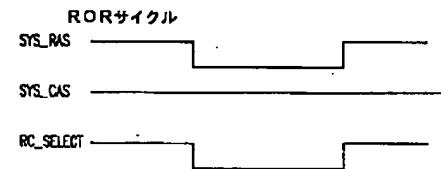
【図5】



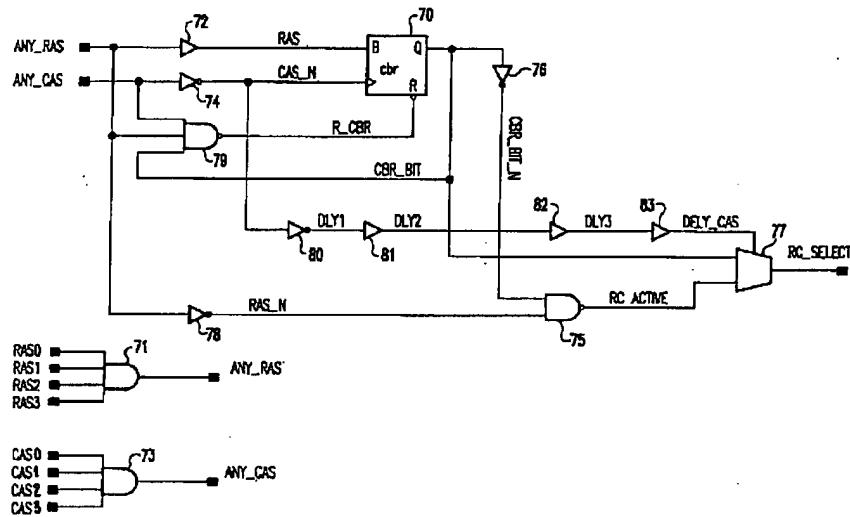
【図6】



【図7】



【図8】



【手続補正書】

【提出日】平成9年7月23日

【手続補正1】

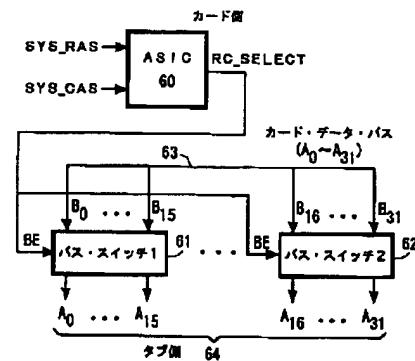
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



フロントページの続き

(72)発明者 マーク・ダブリュー・ケロッグ
アメリカ合衆国05452 バーモント州エセ
ックス・ジャンクション コーデュロイ・
ロード 29

(72)発明者 ブルース・ジー・ヘーゼルゼット
アメリカ合衆国05452 バーモント州エセ
ックス・ジャンクション グリーンフィー
ルド・コート 8